

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-335582

(43)Date of publication of application : 17.12.1993

(51)Int.Cl.

H01L 29/784

H01L 21/336

(21)Application number : 04-134965

(71)Applicant : OMRON CORP

(22)Date of filing : 27.05.1992

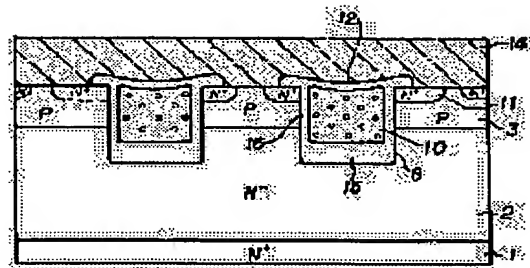
(72)Inventor : SHIMADA HIROYUKI
YUGE YASUSHI

(54) VERTICAL MOSFET DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To sharply improve drive loss and switching power loss by lessening input capacity without enlarging the threshold voltage in switching operation.

CONSTITUTION: Noticing that a gate oxide film constitutes a channel at the sidewall of a groove 8, but it does not constitute a channel at the bottom, the thickness of a gate oxide film 15 at the bottom of the groove 8 is thickened more than the thickness of a gate oxide film 16 at the sidewall. For these oxide films 15 and 16, the thick gate oxide film 15 is formed at the bottom of the groove by stacking an oxide film until the groove 8 flattens by decompressed CVD, and etching back this oxide film, and then, the thinner gate oxide film 16 is formed at the sidewall of the groove 8 by thermal oxidation.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(11)特許出願公開番号

9 ゲート酸化膜
10 ゲート電極
11 ソース領域
12 層間絶縁膜
14 Al電極
15 厚いゲート酸化膜
16 薄いゲート酸化膜

1

【特許請求の範囲】

【請求項1】 第1の導電型半導体基板または第1の導電型エピタキシャル層の表面部に第2の導電型の第1の拡散層および第1の導電型の第2の拡散層が2重に形成され、更にその表面にゲート酸化膜およびゲート電極が埋設される溝部を有し、かつチャンネルが垂直方向に配設される縦型MOSFET装置において、前記ゲート酸化膜の膜厚を前記溝部の側壁部より底部で厚くしたことを特徴とする縦型MOSFET装置。

【請求項2】 第1の導電型半導体基板または第1の導電型エピタキシャル層の表面部に第2の導電型の第1の拡散層および第1の導電型の第2の拡散層を2重に形成し、その表面にゲート酸化膜およびゲート電極を埋設した溝部を形成し、その上にソース電極を形成することによりチャンネルが垂直方向に配設される縦型MOSFET装置の製造方法において、前記ゲート酸化膜は、減圧CVDにより前記溝部が平坦化するまで酸化膜を堆積し、この酸化膜をエッチバックすることにより前記溝部の底部に第1のゲート酸化膜を形成するステップと、熱酸化により前記溝部の側壁部に前記第1のゲート酸化膜より薄い第2のゲート酸化膜を形成するステップとを含むことを特徴とする縦型MOSFET装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、縦型MOSFET装置およびその製造方法に関し、特にその入力容量を小さくすることによりドライブ駆動損失およびスイッチング損失を改善した縦型MOSFET装置およびその製造方法に関する。

【0002】

【従来の技術】 最近、微細化により低オン抵抗が得やすいことから、縦型MOSFET構造のいわゆるトレンチ型UMOSFETが注目されている。

【0003】 このトレンチ型UMOSFETは、例えば、IEEE Electron Device Letters Vol.12, No.3 March, 1991に紹介されており、このトレンチ型UMOSFETは図4に示すようにトレンチ部を有するもので、接合FET効果（JFET効果）による微細化の制限がないために低オン抵抗化できるという特徴を有する。

【0004】 このトレンチ型UMOSFETの製造方法を図4を参照して説明すると、まず、n+基板1上に成長させたエピタキシャルn-膜2に、ドーパントを順次イオン注入等で拡散して、ボディ領域3およびソース領域11を形成する。その後、フォトリソグラフィにより位置決めし、リアクティブイオンエッチング（RIE）等により垂直にエッチングして溝部8を形成する。そしてゲート酸化膜9を熱酸化により形成した後、ポリシリコンを溝部8に堆積してこれをエッチバックにより平坦

2

化してゲート電極10を形成する。更にこのゲート電極10の上に減圧CVD（LPCVD）等により層間絶縁膜12をソース領域11まで堆積し、最後にこの上にAl電極14をスパッタリング等により堆積する。

【0005】

【発明が解決しようとする課題】 ところで、最近この種のMOSFETにおいては、スイッチング電源等の変換周波数が高くなるに従い、ドライブ駆動損失とスイッチング損失が大きくなり、全損失中におけるこのドライブ駆動損失とスイッチング損失の割合は大きくなっている。このため、駆動時に充放電する容量成分である入力容量の低減化が強く求められている。

【0006】 しかしながら、上述したトレンチ型UMOSFETにおいては、ゲート酸化膜9が溝部8と均一に形成されており、このゲート酸化膜9を薄くする程入力容量も大きくなり、ドライブ駆動損失およびスイッチング損失が増大するという問題が生じる。

【0007】 この入力容量を小さくする1つの方法としてゲート酸化膜9を厚くする方法も考えられるが、ゲート酸化膜9を厚くするとスイッチング動作のしきい値電圧が必要以上に大きくなり、実用的ではない。

【0008】 そこで、この発明は、スイッチング動作のしきい値電圧を大きくすることなく入力容量を小さくして、ドライブ駆動損失およびスイッチング損失を大幅に改善した縦型MOSFET装置およびその製造方法を提供することを目的とする。

【0009】

【課題を解決するための手段】 上記目的を達成するため、請求項1の発明は、第1の導電型半導体基板または第1の導電型エピタキシャル層の表面部に第2の導電型の第1の拡散層および第1の導電型の第2の拡散層が2重に形成され、更にその表面にゲート酸化膜およびゲート電極が埋設される溝部を有し、かつチャンネルが垂直方向に配設される縦型MOSFET装置において、前記ゲート酸化膜の膜厚を前記溝部の側壁部より底部で厚くしたことを特徴とする。

【0010】 また、請求項2の発明は、第1の導電型半導体基板または第1の導電型エピタキシャル層の表面部に第2の導電型の第1の拡散層および第1の導電型の第2の拡散層を2重に形成し、その表面にゲート酸化膜およびゲート電極を埋設した溝部を形成し、その上にソース電極を形成することによりチャンネルが垂直方向に配設される縦型MOSFET装置の製造方法において、前記ゲート酸化膜は、減圧CVDにより前記溝部が平坦化するまで酸化膜を堆積し、この酸化膜をエッチバックすることにより前記溝部の底部に第1のゲート酸化膜を形成するステップと、熱酸化により前記溝部の側壁部に前記第1のゲート酸化膜より薄い第2のゲート酸化膜を形成するステップとを含むことを特徴とする。

【0011】

50

3

【作用】この発明においては、ゲート酸化膜は溝部の側壁部ではチャンネルを構成するが、その底部ではチャンネルを構成しないことに着目して、ゲート酸化膜の膜厚を溝部の側壁部より底部で厚く形成する。

【0012】このゲート酸化膜は、まず減圧CVDにより溝部が平坦化するまで酸化膜を堆積し、この酸化膜をエッチバックすることにより溝部の底部に厚いゲート酸化膜を形成し、その後、熱酸化により溝部の側壁部に薄いゲート酸化膜を形成する。

【0013】

【実施例】以下、図面を参照してこの発明の縦型MOSFET装置およびその製造方法の一実施例を詳細に説明する。

【0014】図1は、この発明の縦型MOSFET装置の一実施例を示したものである。この実施例の縦型MOSFET装置は、図4に示した従来のトレンチ型UMOSFETと基本的には同一の構成からなるが、この実施例においては溝部8の底部に形成されるゲート酸化膜15の膜厚が溝部8の側壁に形成されるゲート酸化膜16の膜厚より厚くなっている点が図4に示したものと異なる。他の部分は図4に示したものと同一である。なお、説明の便宜上図1においては図4と同一の部分に関しては図4で用いた符号と同一の符号を付してその詳細説明を省略する。

【0015】図1に示した縦型MOSFET装置の製造方法は、溝部8を形成するまでは図4に示したものと同一である。

【0016】ただし、この実施例では、溝部8を図4に示したもののよりも少し深めに形成する。そして、例えばTEOSをソースとしたLPCVDにより酸化膜を溝部8が平坦化するまで堆積する。その後、ボディ領域3のわずか下までエッチバックする。これにより、溝部8の底部に厚いゲート酸化膜15が形成される。この後、熱酸化によって溝部8の側壁部のシリコンを酸化して薄いゲート酸化膜16を形成する。この後の処理は図4に示したものと同一である。

【0017】このような構成によると、MOSFETのチャンネルに係る溝部8の側壁部のゲート酸化膜16は薄くでき、チャンネルに係らない溝部8の底部のゲート酸化膜15は厚くできるので、スイッチング動作のしきい値電圧を大きくすることなく入力容量を小さくすることができ、ドライブ駆動損失およびスイッチング損失を大幅に改善することが可能になる。

【0018】図2は、この実施例の縦型MOSFET装置に形成される容量を説明するための図で、溝部8の底部のゲート酸化膜15はゲートドレイン間容量Cgdを形成し、溝部8の側壁部のゲート酸化膜16はドレインソース間容量Cdsを形成し、層間絶縁膜12はゲートソース間容量Cgsを形成する。

4

【0019】この縦型MOSFET装置を等価回路で示すと図3のようになる。図3から明らかなように、この縦型MOSFET装置の入力容量、すなわちCissは

$$C_{iss} = C_{gs} + C_{gd}$$

となり、出力容量、すなわちCossは

$$C_{oss} = C_{gd} + C_{ds}$$

となり、帰還容量、すなわちCrssは

$$C_{rss} = C_{gd}$$

となる。

10 【0020】ここで、溝部8の底部のゲート酸化膜15を厚くすることにより、この溝部8の底部のゲート酸化膜15の膜厚により決定されるゲートドレイン間容量Cgdを小さくすることができるので、入力容量Cissおよび帰還容量Crssを小さくすることができ、これによりドライブ駆動損失およびスイッチング損失を低減できるので、スイッチ効率を大幅に改善できる。また入力容量Cissおよび帰還容量Crssを小さくすることにより駆動における充放電時間が短くなるので、その動作速度を高速化することができる。また、電子の流れは下向きであるので、溝部8の底部のゲート酸化膜15を厚くすることによるオン抵抗の上昇も少ない。

20 【0021】

【発明の効果】以上説明したようにこの発明によれば、ゲート酸化膜の膜厚を溝部の側壁部より底部で厚くなるように構成したので、入力容量および帰還容量を小さくすることができ、これによりドライブ駆動損失およびスイッチング損失を低減し、スイッチ効率を大幅に改善することができる。また入力容量および帰還容量を小さくすることにより駆動における充放電時間が短くなるので、その動作速度を高速化することができる。

30 【図面の簡単な説明】

【図1】この発明の縦型MOSFET装置の一実施例を示す構造図。

【図2】図1に示した実施例の縦型MOSFET装置に形成される容量を説明するための図。

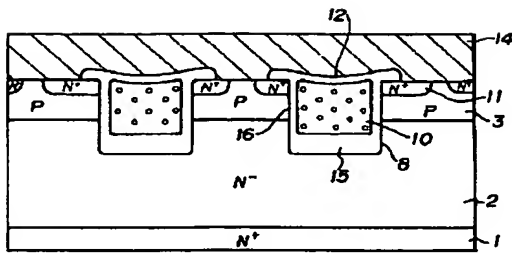
【図3】図1に示した実施例の等価回路図。

【図4】従来のトレンチ型UMOSFETの構造図。

【符号の説明】

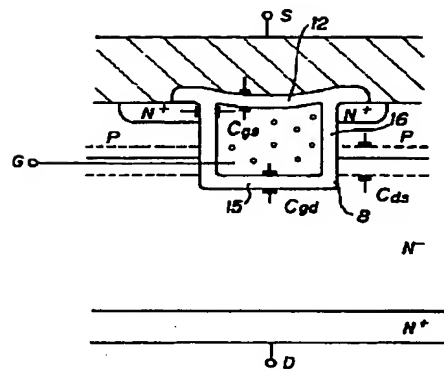
- 40
- 1 n+ 基板
 - 2 エピタキシャル n- 膜
 - 3 ボディ領域
 - 8 溝部
 - 9 ゲート酸化膜
 - 10 ゲート電極
 - 11 ソース領域
 - 12 層間絶縁膜
 - 14 A1電極
 - 15 厚いゲート酸化膜
 - 16 薄いゲート酸化膜

【図 1】



- 1 n⁺基板
2 エピタキシャルn⁻膜
3 ボディ領域
8 溝部
9 ゲート酸化膜
10 ゲート電極
11 ソース領域
12 漏れ絶縁膜
14 Al電極
15 厚いゲート酸化膜
16 薄いゲート酸化膜

【図 2】



【図 4】

